Министерство образования и науки Российской Федерации Федеральное агентство по образованию Федеральное государственное бюджетное образовательное учреждение высшего образования «Вятский государственный университет»

Факультет автоматики и вычислительной техники

Кафедра электронных вычислительных машин

Лабораторная работа №3

по курсу «Организация памяти ЭВМ»

«Исследования двухпортового ЗУ»

Выполнил студент группы ИВТ-31\_\_\_\_\_\_\_\_\_\_\_\_\_\_/Птахова А.М/

Проверил доцент кафедры ЭВМ \_\_\_\_\_\_\_\_\_\_\_\_\_\_/ Мельцов В.Ю./

Киров 2023

1. Задание

Исследовать ОЗУ в режиме произвольного доступа при записи и чте-нии:

а) выполнить запись данных во все ячейки ОЗУ в режимах:

- записи одновременно по порту А и В;

- раздельной записи по одному из портов А и В.

б) выполнить сочетание процедур чтения и записи одновременно по пор-там А и В:

- порт А чтение, порт В запись;

- порт В чтение, порт А запись;

- порт В чтение, порт А чтение;

- раздельное чтение по порту А или В.

в) выполнить попытку записи по портам А и В в одну и ту же ячейку и

сделать выводы.

На основе ОЗУ организовать стек типа FIFO для очереди команд с возможностью параллельного пополнения очереди команд через каждые 4 считанные из очереди команды:

- запись 8-х чисел

- чтение 4-х чисел

- запись 4-х чисел с параллельным считыванием из очереди

- запись 4-х чисел с параллельным считыванием из очереди

- сброс очереди команд (команда БП)

2. Описание установки

Функциональная схема представлена на рисунке 1.

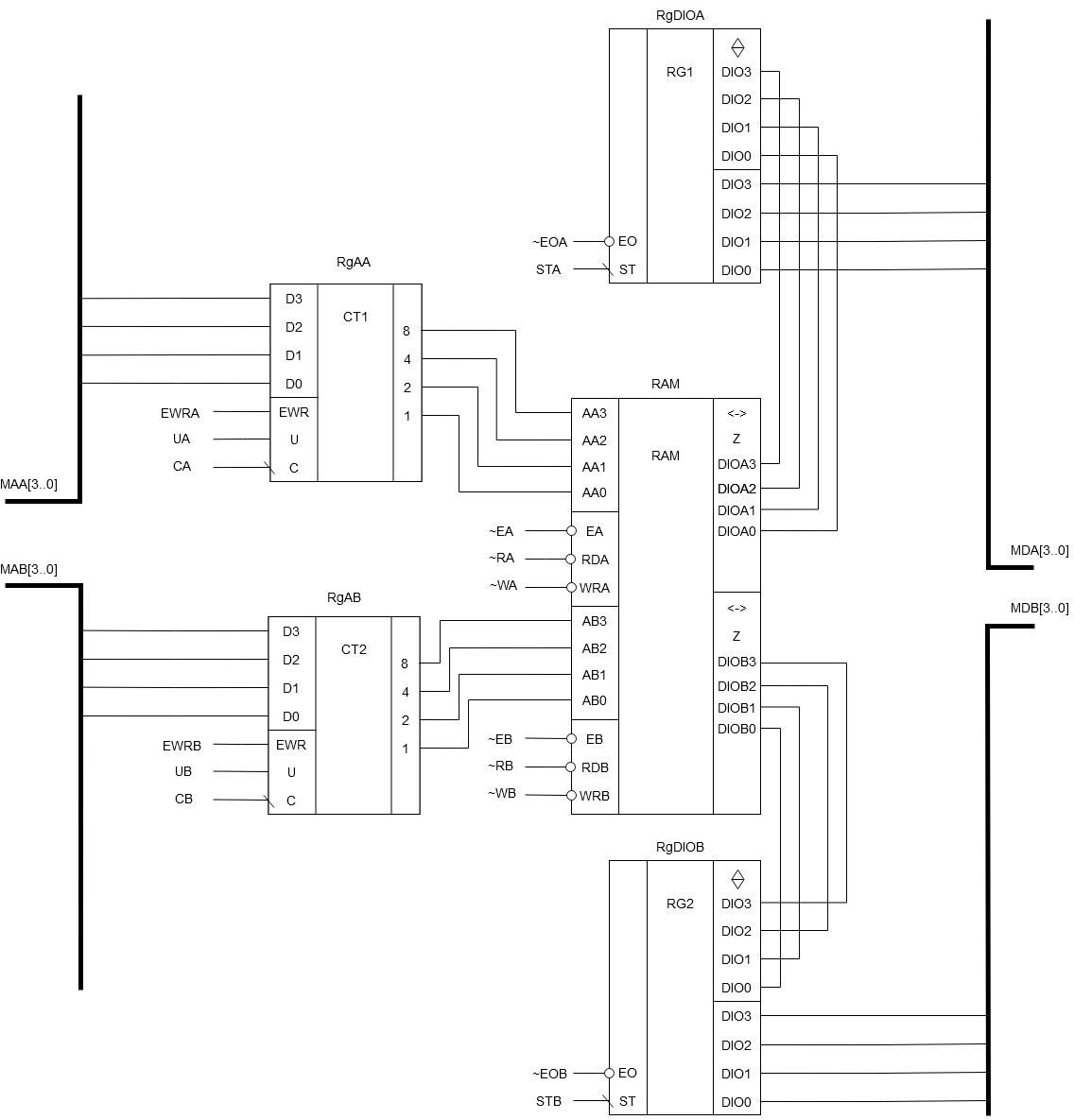


Рисунок 1 – Функциональная схема

Управляющие сигналы:

EWRA,EWRB - входы разрешения записи по входам D3-D0 RgA/CT;

UA , UB - входы задания режима работы счетчика инкремент/декремент;

STA, STB - входы сигнала записи в регистры данных портов А или В;

СA , CB - входы сигнала синхронизации записи/счета RgA/CT

~EOA, ~EOB - входы разрешения выходов регистров данных портов А или В;

STA, STB - входы сигнала записи в регистры данных портов А или В;

~RA, ~WA, ~EA, ~RB, ~WB, ~EB - интерфейсные сигналы чтения, записи, вы-бора канала портов А и В соответственно.

3. Разработка микрограммы

3.1. Разработка граф-схем алгоритмов

Граф-схема алгоритма для чтения и записи по порту А представлены на рисунке 2 и 3 соответственно.

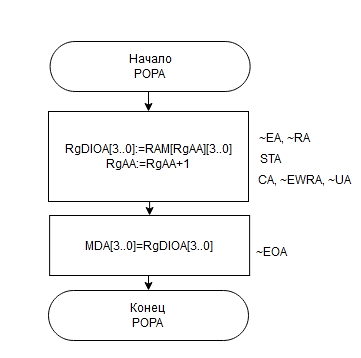


Рисунок 2 – ГСА чтения из стека по порту А

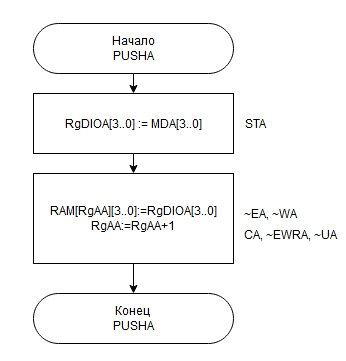


Рисунок 3 – ГСА записи в стек по порту А

3.2. Листинг кода

Листинг кода для разработанной микропрограммы представлен на рисунках 4-5.

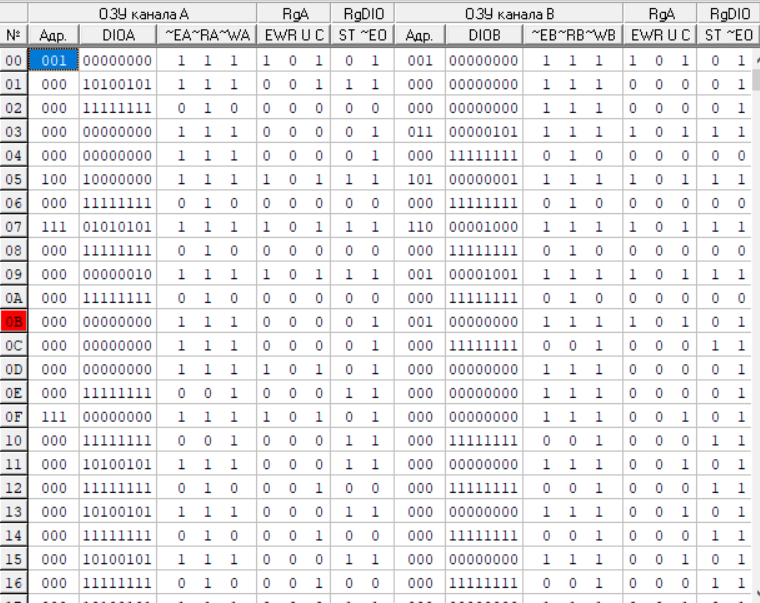


Рисунок 4 – Листинг кода, начало

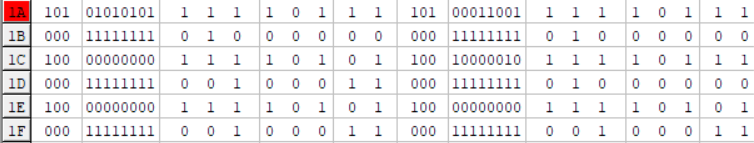


Рисунок 5 – Листинг кода, продолжение

4. Экранные формы

Экранные формы работы микропрограммы представлены на рисунках 6- 13.

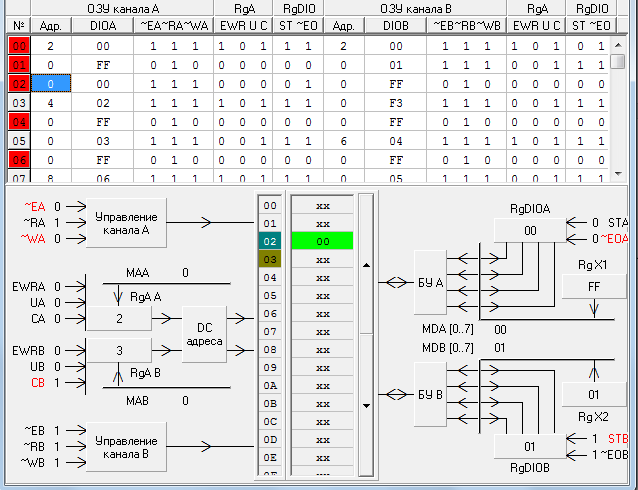


Рисунок 6 – Запись по порту A в стек

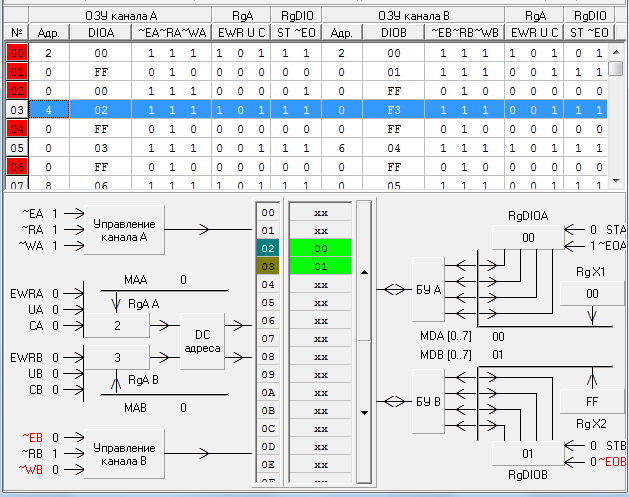


Рисунок 7 – Запись по порту B в стек

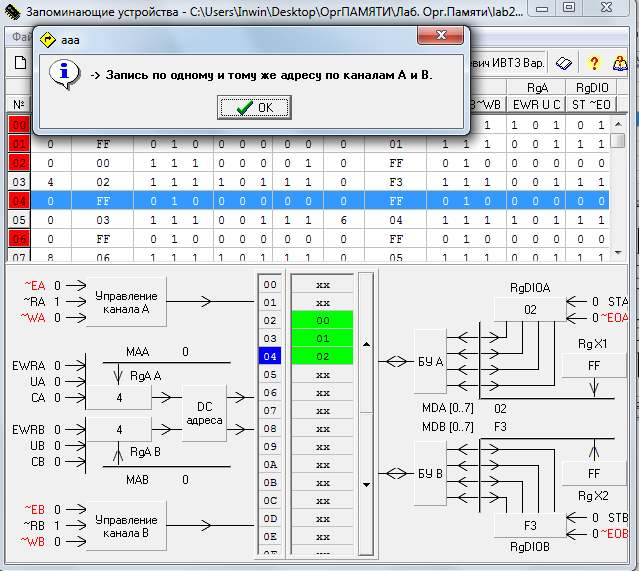


Рисунок 8 – Запись по порту A и B в одну ячейку

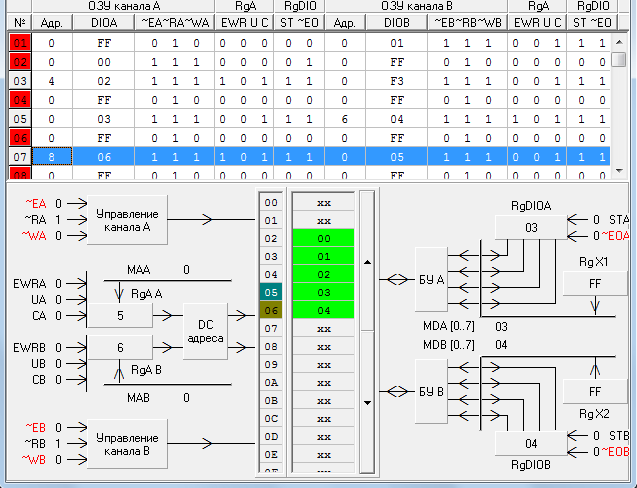


Рисунок 9 – Запись по порту А и B в разные ячейки

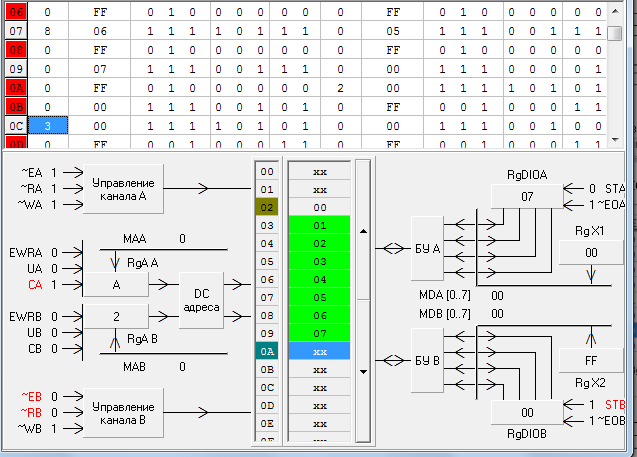


Рисунок 10 – Чтение по порту B

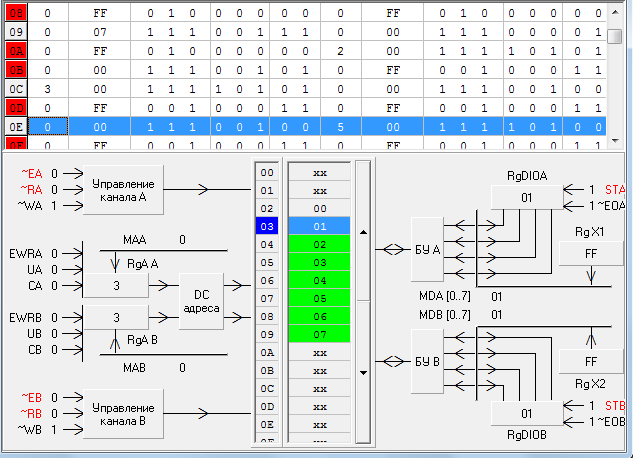


Рисунок 11 – Чтение по портам А и В из одной ячейки

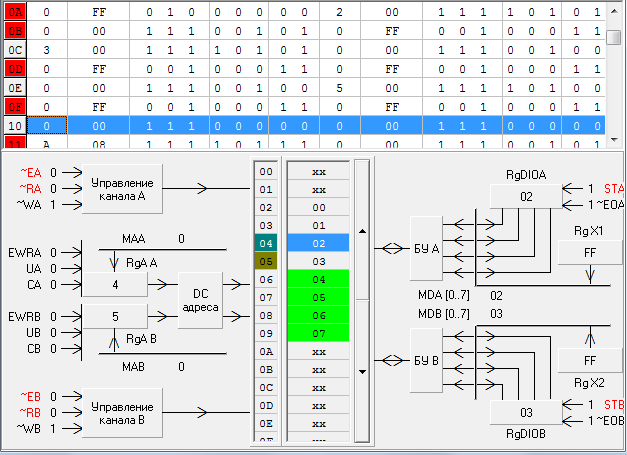


Рисунок 12 – Чтение по портам А и В из разных ячеек

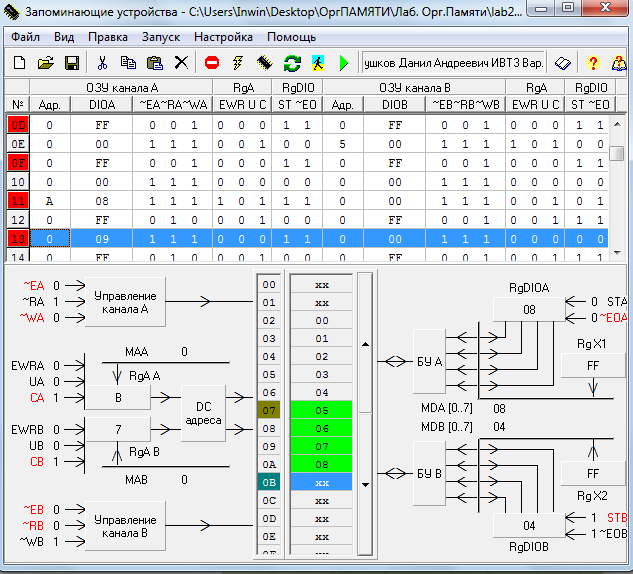


Рисунок 13 – Чтение по порту B и запись по порту А

5. Вывод

В ходе лабораторной работы были изучены принципы работы двухпортового запоминающего устройства. Была написана микропрограмма для работы со стеком FIFO, построенном на основе двухпортового ЗУ, которая записывала данные в стек, а также считывала значения из стека разными вариациями по портам А и В.